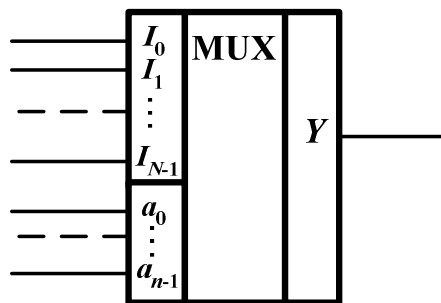


3.8. Мультиплексоры

✓ **Мультиплексоры (селекторы)** – коммутация сигналов, поступающих с нескольких выводов на один общий вывод.



Две основные группы входов:

Информационные входы (N – входов), адресные входы (n – входов), $N = 2^n$.
Возможны вспомогательные входы для дополнительного управления работой элемента (разрешение / стробирование, входы блокировки и т. п.).

Набор значений на адресных входах (a_{n-1}, \dots, a_0) однозначно определяет номер информационного входа J , значение которого будет воспроизведено на выходе мультиплексора

$$Y = I_J, \quad \text{где} \quad J = (a_{n-1}, \dots, a_0)_2.$$

Производятся разнообразные варианты мультиплексоров. Например, в ТТЛ - серия К155:

КП1 – 16:1 (с инв. вых., вход разрешения);
КП2 – сдвоенный 4:1 (разные входы разр.);
КП5, КП7 – 8:1 (с инв. выход.);
КП11 – счетверенный 2:1 (3-е сост.);
КП12 – сдвоенный 4:1 (с 3-им сост.);
КП13 – счетверенный 2:1 (регистр на выходе);
КП14 – счетверенный 2:1 (3-е сост. и инв. выход);

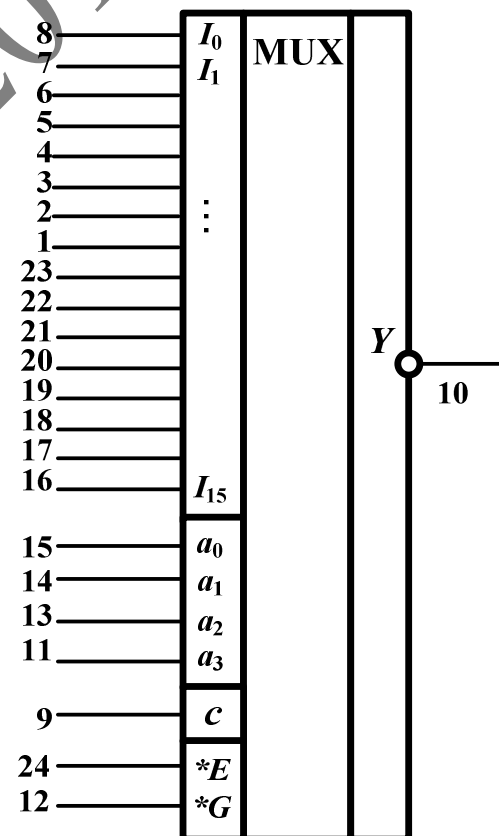
КП15 – 8:1 (3-е сост., прямым и инв. выходы);
КП16 – счетверенный 2:1 (вход разрешения);
КП17 – сдвоенный 4:1 (инв. выход, 3-е сост.);
КП18 – счетверенный 2:1 (вход разрешения и инв. выход);
КП19 – сдвоенный 4:1 (инв. выход);
КП20 – счетверенный 2:1 (с выходным регистром).

Конкретное описание выводов микросхемы и ее параметры – в описаниях производителя или в соответствующих справочниках:

Пример: мультиплексор **К155КП1**

Справочные данные:

- Соответствие входов/выходов мультиплексора номерам выводов МС.
- E – питание, G – земля, c – вход разрешения.
- $U_{\text{ВХ}}^0 = -0.2 \div 0.4 \text{ В}$, $U_{\text{ВХ}}^1 = -2.4 \div 3.4 \text{ В}$,
- $i_{\text{ВЫХ}}^1 = 0.8 \text{ мА}$, $i_{\text{ВЫХ}}^0 = 16 \text{ мА}$, $i_{\text{ВХ}}^1 = 40 \text{ мкА}$, $i_{\text{ВХ}}^0 = 1,6 \text{ мА}$,
- Ток потребления $40 \div 68 \text{ мА}$
- Задержки нарастания/спада выходного сигнала при переключении значения адресного входа: $23 \div 25 / 22 \div 33 \text{ нс}$.
- Задержки при переключении значения на информационном входе $13 \div 20 / 8.5 \div 14 \text{ нс}$.
- Задержки при переключении по входу разрешения $15.5 \div 24 / 21 \div 30 \text{ нс}$.



! Мультиплексоры на базе КМОП структур, могут иметь особенности (целесообразно рассмотреть отдельно, что будет сделано в п. 3.9).

Строение мультиплексоров

✓ Простейший мультиплексор 2:1. Информационные входы I_0 и I_1 , адресный вход a .

Таблица истинности (развернутая)

I_1	I_0	a	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

- Развернутая ТИ → каноническая форма;
- КК → минимизированная формула:

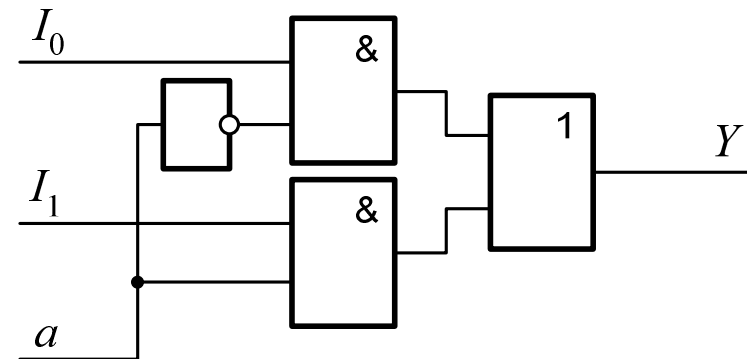
$$Y = \bar{I}_1 \cdot I_0 \cdot a + I_1 \cdot \bar{I}_0 \cdot \bar{a} + I_1 \cdot I_0 \cdot \bar{a} + I_1 \cdot I_0 \cdot a_1 = \\ = I_0 \cdot \bar{a} + I_1 \cdot a$$

! Этот результат наглядно соответствует сокращенной ТИ.

Таблица истинности (сокращенная)

a	Y
0	I_0
1	I_1

Логическая схема:



✓ Более сложные мультиплексоры.

4:1

a_1	a_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

$$Y = I_0 \cdot \bar{a}_0 \cdot \bar{a}_1 + I_1 \cdot a_0 \cdot \bar{a}_1 + I_2 \cdot \bar{a}_0 \cdot a_1 + I_3 \cdot a_0 \cdot a_1$$

N:1 (2ⁿ:1)

a_{n-1}	...	a_1	a_0	Y
0	...	0	0	I_0
0	...	0	1	I_1
0	...	1	0	I_2
...
1	...	1	1	I_{N-1}

$$Y = I_0 \cdot \bar{a}_0 \cdot \bar{a}_1 \dots \bar{a}_{n-1} + I_1 \cdot a_0 \cdot \bar{a}_1 \dots \bar{a}_{n-1} + \dots + I_{N-1} \cdot a_0 \cdot a_1 \cdot a_{n-1}$$

В общем случае на вход j -го перемножителя, где $j = (g_{n-1}, \dots, g_0)_2$, должны быть поданы:

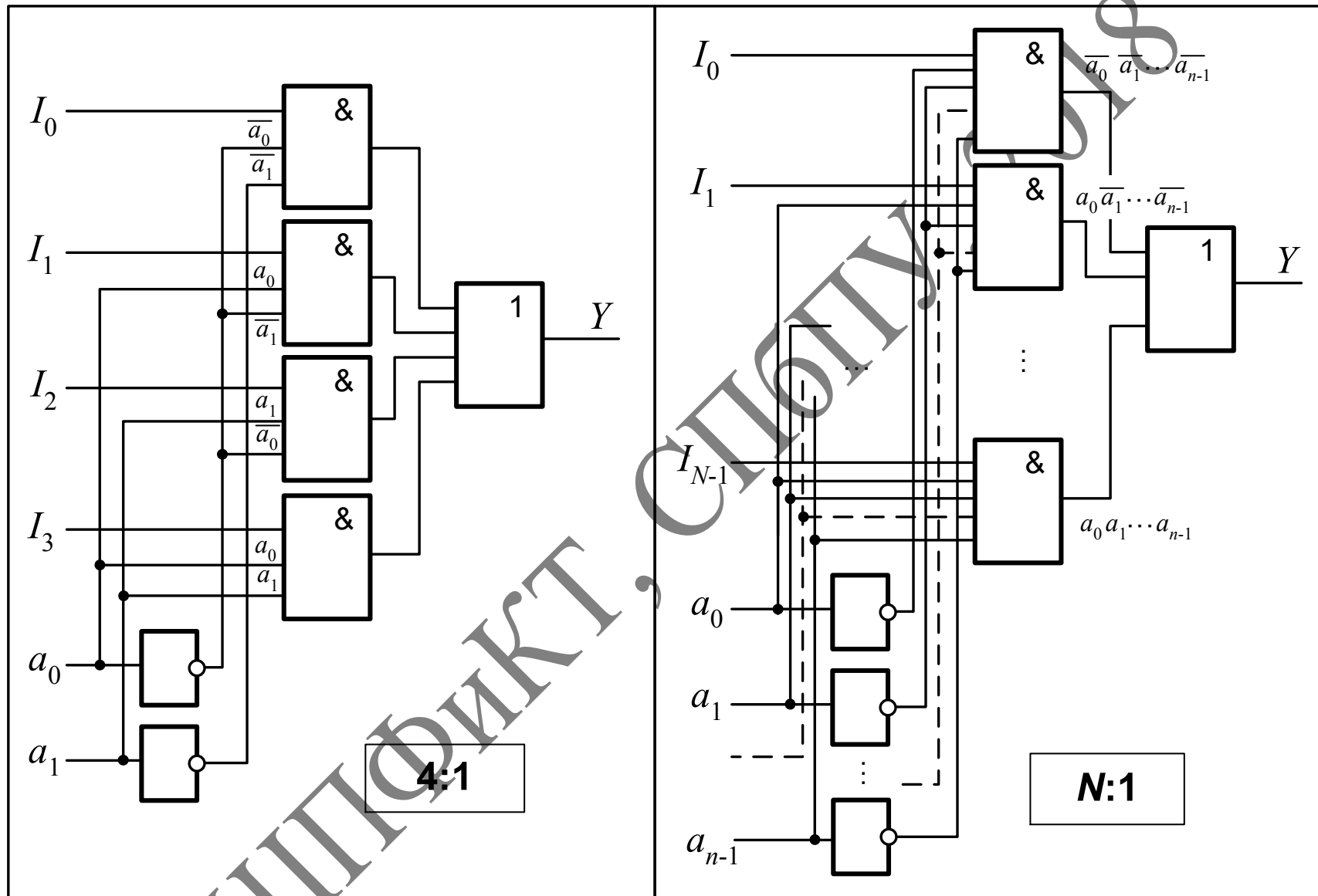
- прямые значения адресных сигналов a_i если $g_i=1$;
- инверсные значения, если $g_i=0$.

Для набора значений на адресных входах a_{n-1}, \dots, a_0 только для перемножителя с номером $J = (a_{n-1}, \dots, a_0)_2$ все «регулирующие» сигналы имеют значение «1» и произведение будет «1».

Для остальных перемножителей хотя бы один из входов имеет «0» и произведение будет «0».

На выходе сумматора получаем необходимый результат:

$$Y = I_J \cdot 1 + \sum_{i \neq J} I_i \cdot 0 = I_J$$



! Реальные MUX могут иметь другую внутреннюю структуру, в зависимости от видов фактических ЛЭ реализуемых производителем в микросхеме.

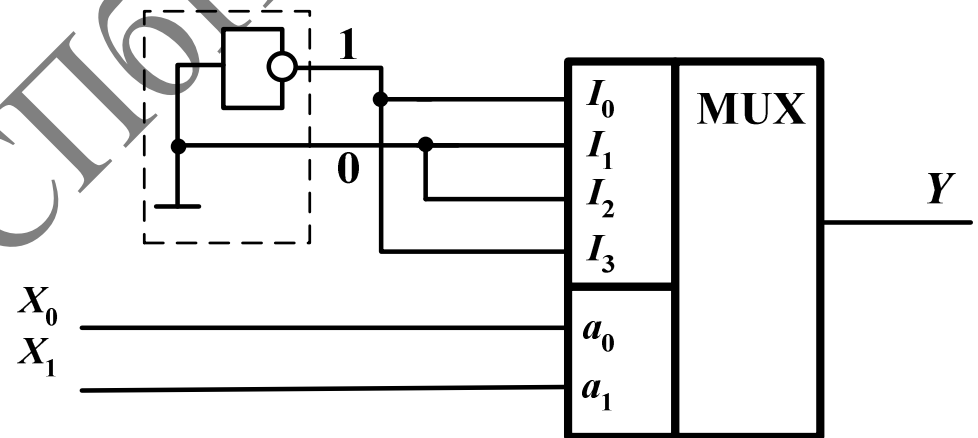
Мультиплексор как универсальный логический элемент

! Привлекательность MUX в цифровой электронике связано не только с прямыми задачами коммутации сигналов, но с возможностями реализовать ЛФ.

✓ С помощью мультиплексора с n адресными входами можно достаточно просто реализовать любую логическую функцию, содержащую до $n + 1$ аргументов.

Пример. Функция «исключающее ИЛИ-НЕ»,
ТИ имеет вид:

X_1	X_0	Y
0	0	1
0	1	0
1	0	0
1	1	1



- ✓ Принцип реализации ЛФ от n аргументов на основе MUX $2^n:1$ (n адресных входов):
- На a_{n-1}, \dots, a_0 подаются сигналы аргументов X_{n-1}, \dots, X_0 .
 - На вход I_j подается «0», если для набора аргументов $j = (a_{n-1}, \dots, a_0)_2$ функция равна 0.
 - На вход I_j подается «1», если для набора $j = (a_{n-1}, \dots, a_0)_2$ функция принимает значение 1.

! Значения во всех наборах задаются напрямую сигналами-константами на инф. входах MUX.

✓ Число аргументов ЛФ, реализуемой на основе MUX, может быть $n + 1$.

Для этого:

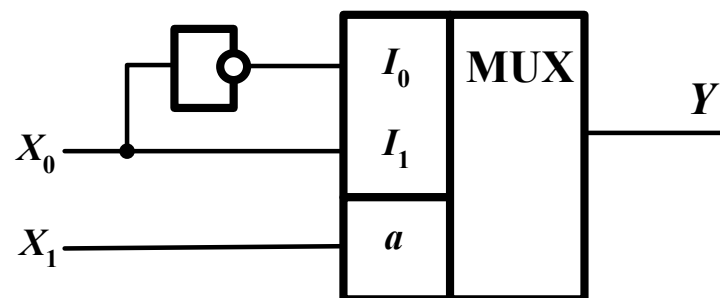
- На адресные входы подаются сигналы n аргументов.
- Сигнал $(n + 1)$ -го аргумента подается на некоторые из информационных входов.

Для правильной реализации ЛФ необходимо преобразовать ТИ так, чтобы исключить один из аргументов, указав его в столбце значений функции в виде переменной.

Пример: функция «исключающее ИЛИ-НЕ»:

X_1	X_0	Y
0	0	1
0	1	0
1	0	0
1	1	1

X_1	Y
0	$\overline{X_0}$
1	X_0



! Значения задаются напрямую сигналом аргумента x_0 на информационном входе MUX.

Пример преобразования ТИ функций *трех* аргументов

Пример 1

X_2	X_1	X_0	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

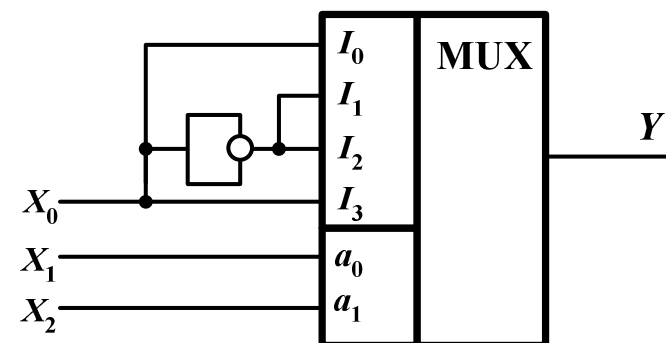
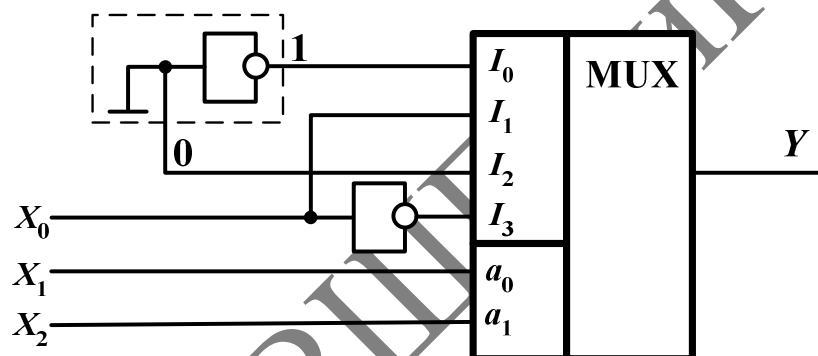
X_2	X_1	Y
0	0	1
0	1	X_0
1	0	0
1	1	$\overline{X_0}$

Пример 2

X_2	X_1	X_0	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

X_2	X_1	Y
0	0	X_0
0	1	$\overline{X_0}$
1	0	$\overline{X_0}$
1	1	X_0

Реализация этих ЛФ на основе MUX 4:1 (два адресных входа)



- В примерах на адресные входы X_{n-1}, \dots, X_1 (при преобразовании ТИ из столбцов аргументов исключался аргумент X_0). Однако аналогичным образом можно выделить другой аргумент (можно найти наиболее простой вариант цепи на входе MUX).
- Реальные MUX, как правило, имеют вспомогательные входы управления (разрешение/блокировка и т. п.), которые так же удобно использовать для реализации некоторых типов ЛФ, посредством подачи на управляющий вход сигнала соответствующего аргумента.
- Реализация логических функций на основе MUX очень эффективный прием схемотехники ЦЭУ.
 - 1) Одна микросхема-мультиплексор может заменить несколько микросхем, содержащих набор логических элементов (необходимый при обычной идеологии реализации ЛФ).
 - 2) При использовании MUX можно относительно просто реализовать управление выполняемой функцией за счет смены кода значений на информационных входах мультиплексора.

Нарращивание мультиплексоров

При создании практических ЦЭУ в силу различных причин оказывается актуальной задача:

Реализация MUX «большого ранга» ($M:1$ с адресными входами s_{m-1}, \dots, s_0) с использованием MUX «меньшего ранга» ($N:1$, с адресными входами a_{n-1}, \dots, a_0). $N < M$.

! Поскольку M и N равны целой степени двойки, то M кратно N .

- ✓ Объединение нескольких мультиплексоров в один более мощный называют **"наращиванием"**

Есть мультиплексоры $N:1$ (входы i_0, \dots, i_N и a_0, \dots, a_n).

Надо организовать MUX $M:1$ (входы I_0, \dots, I_N и s_0, \dots, s_m).

- Для наращивания «младшие» сигналы информационных входов I (их много – M -штук) подаются на информационные входы мультиплексоров i группами по N сигналов:
 - группа I_{N-1}, \dots, I_0 подается на входы первого мультиплексора,
 - группа I_{2N-1}, \dots, I_N подается на входы второго мультиплексора и т. д.
- Адресные сигналы s_{n-1}, \dots, s_0 (младшие) подаются параллельно на адресные входы всех мультиплексоров $N:1$. «Старшие» адресные сигналы s_{m-1}, \dots, s_n используются для коммутации выходных сигналов мультиплексоров y на один общий выход Y .

! На практике наращивание мультиплексоров обычно используют для получения мультиплексора высокого ранга (16:1, 32:1 и выше). Здесь для простоты и наглядности принципы наращивания будут рассмотрены на примере более простых мультиплексоров.

Пример: объединение двух мультиплексоров 2:1 в мультиплексор 4:1.

- Входы I_1, I_0 подаются на первый мультиплексор, I_3, I_2 на второй мультиплексор.
- Адресный вход s_0 подается на адресный вход обоих мультиплексоров.
- Адресный вход s_1 – используется для коммутации выходных сигналов y_1 и y_2 .

Если $s_1 = 0$, то Y должен быть равен сигналу первого разветвителя: $Y = y_1$; если $s_1 = 1$, то $Y = y_2$. Это обеспечивает схема с инвертером, двумя перемножителями и сумматором.

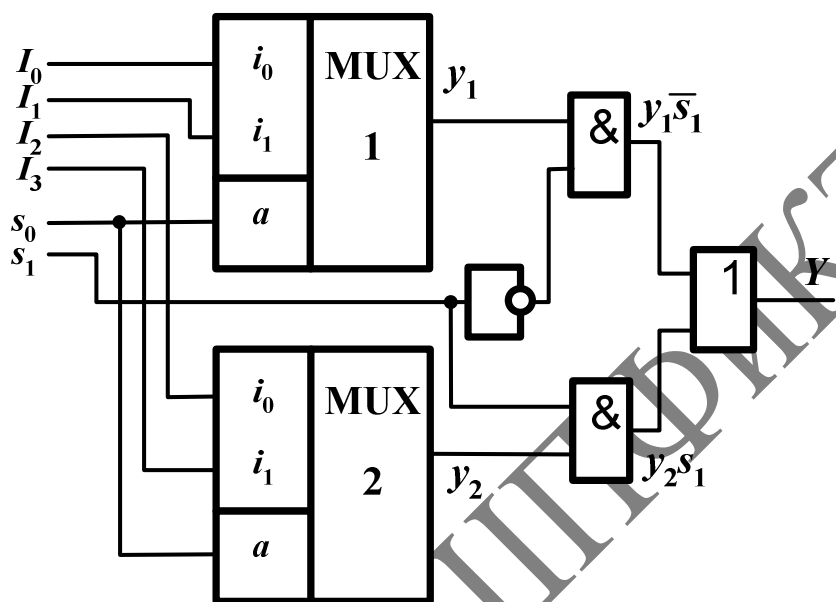
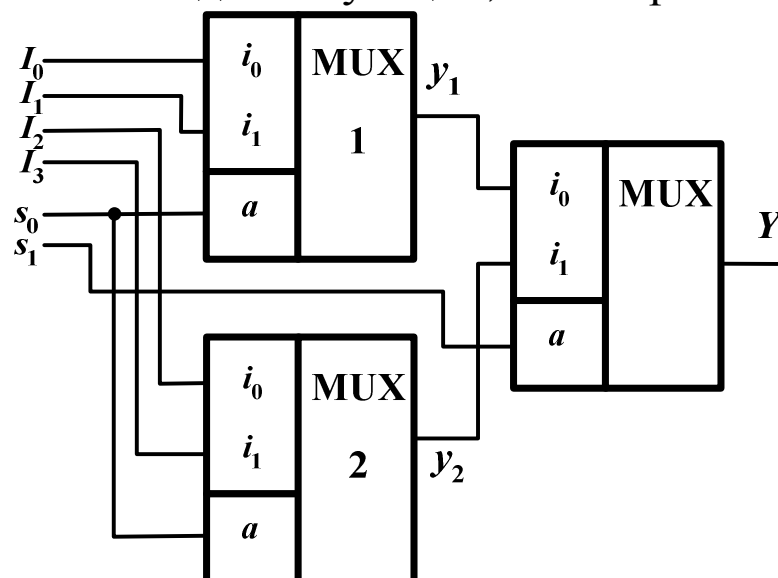
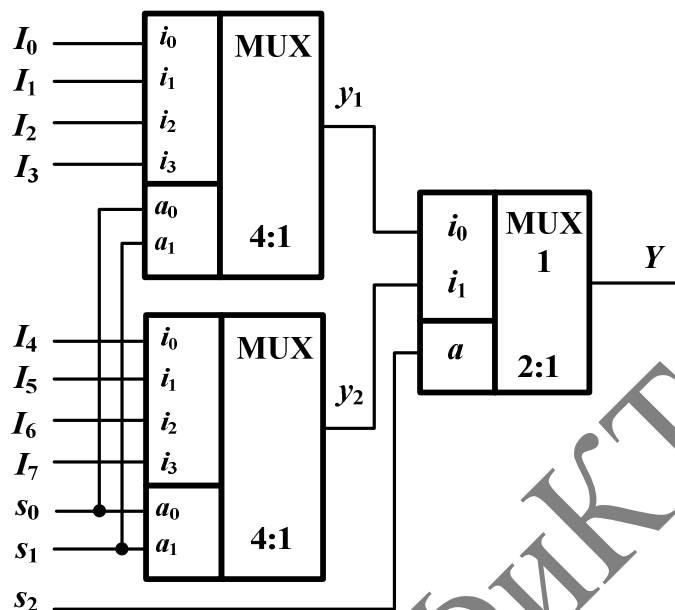


Схема коммутации сигналов y_1 и y_2 есть MUX 2:1. Для наращивания можно использовать три MUX 2:1. 2 – первый каскад коммутации, 1 – второй каскад.

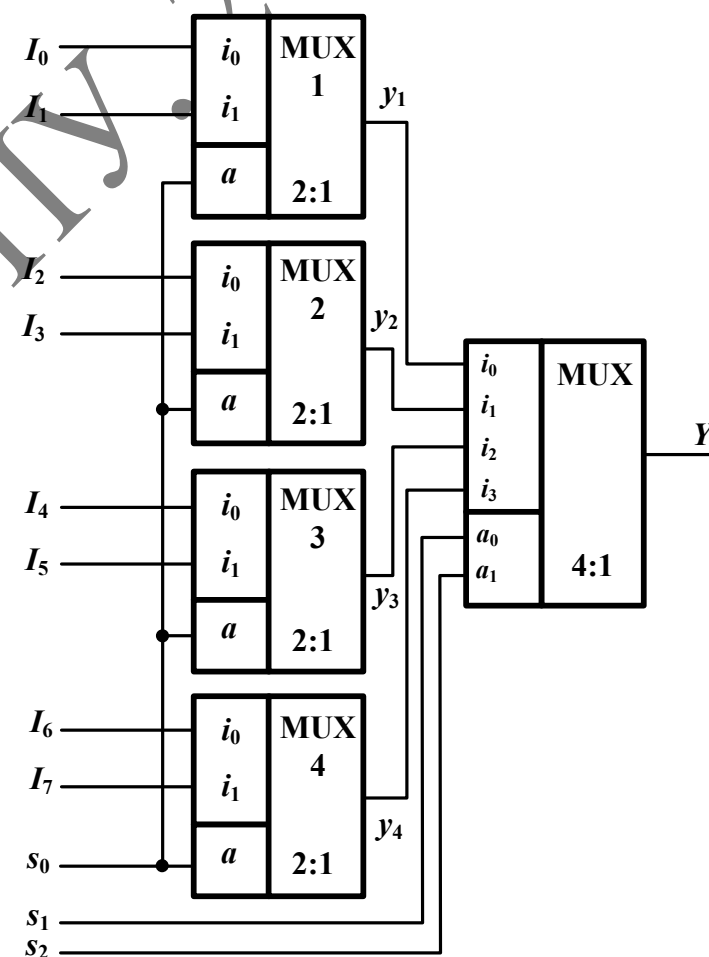


✓ Так же можно объединить два MUX 4:1(+ один MUX 2:1) в один MUX 8:1.

- Сигналы I_3, \dots, I_0 подаются на первый MUX, а I_7, \dots, I_4 на второй MUX.
- Сигналы s_1, s_0 подаются на адресные входы MUX. Сигнал s_2 подается на адресный вход коммутатора 2:1.



Так организуется объединение двух мультиплексоров любого ранга в мультиплексор удвоенного ранга с использованием выходного MUX-коммутатора 2:1.



Создаем 8:1 из 4-х MUX 2:1 (второй уровень коммутации MUX 4:1)

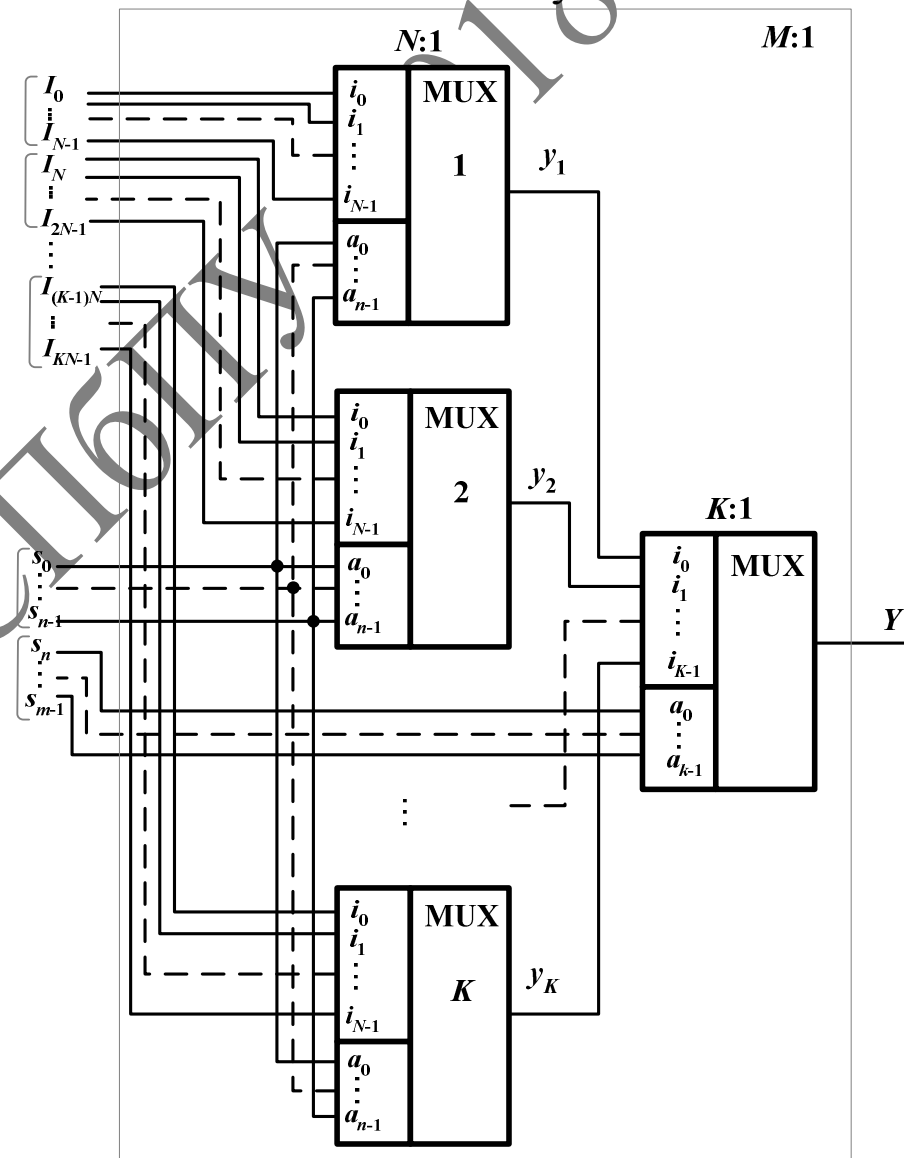
✓ Более общий случай двух уровней коммутации: создаем MUX $M:1$ используем MUX-ы $N:1$

$$M = K \cdot N, M = 2^m, N = 2^n, \rightarrow K = M/N = 2^k \quad (k = m - n) \rightarrow$$

Первый уровень – $K = M/N$ мультиплексоров $N:1$

Второй уровень – один MUX $K:1$ (k адресных входов).

- Сигналы $I_{M-1} - I_0$ на MUX $N:1$ первого уровня коммутации группами по N .
- Адресные сигналы s_{n-1}, \dots, s_0 (n штук) на адресные входы всех мультиплексоров $N:1$.
- Адресные сигналы s_{m-1}, \dots, s_n (k штук) подаются на мультиплексор второго уровня коммутации $K:1$.



✓ Можно организовать наращивание по схеме с большим количеством уровней.

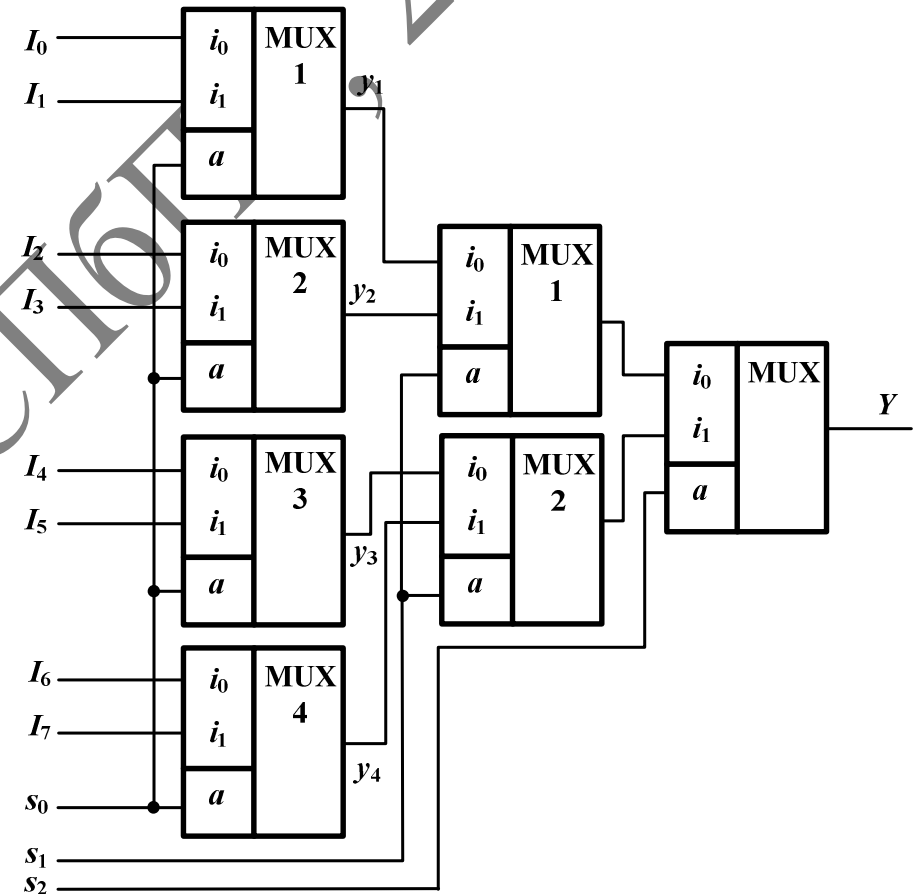
! Действительно в рассмотренных двухуровневых схемах наращивания мультиплексоры первого каскада либо мультиплексор второго каскада могут быть заменены схемой, построенной по принципу наращивания.

Трехуровневая структура:

MUX 8:1 на основе мультиплексоров 2:1.

! Можно получить из предыдущих примеров двухуровневых схем заменяя MUX 4:1 на основе MUX 2:1 по двухуровневой схеме наращивания.

- В MUX каждого уровня число информационных входов равно числу MUX на предыдущем уровне коммутации.
- Адресные сигналы подаются на входы MUX группами:



младшая группа адресных сигналов подается на адресные входы MUX первого уровня (параллельно на все), следующая группа на адресные входы MUX следующего уровня и т. д., пока не будут задействованы все уровни и распределены все адресные сигналы.

✓ Например, для реализации мультиплексора 32:1

По двухуровневой структуре:

- 2 MUX 16:1 + 1 MUX 2:1;
- 4 MUX 8:1 + 1 MUX 4:1;
- 8 MUX 4:1 + 1 MUX 8:1;
- 16 MUX 2:1 + 1 MUX 16:1.

По трехкаскадной структуре:

- 4 MUX 8:1 + 2 MUX 2:1 + 1 MUX 2:1;
- 8 MUX 2:1 + 2 MUX 4:1 + 1 MUX 2:1.

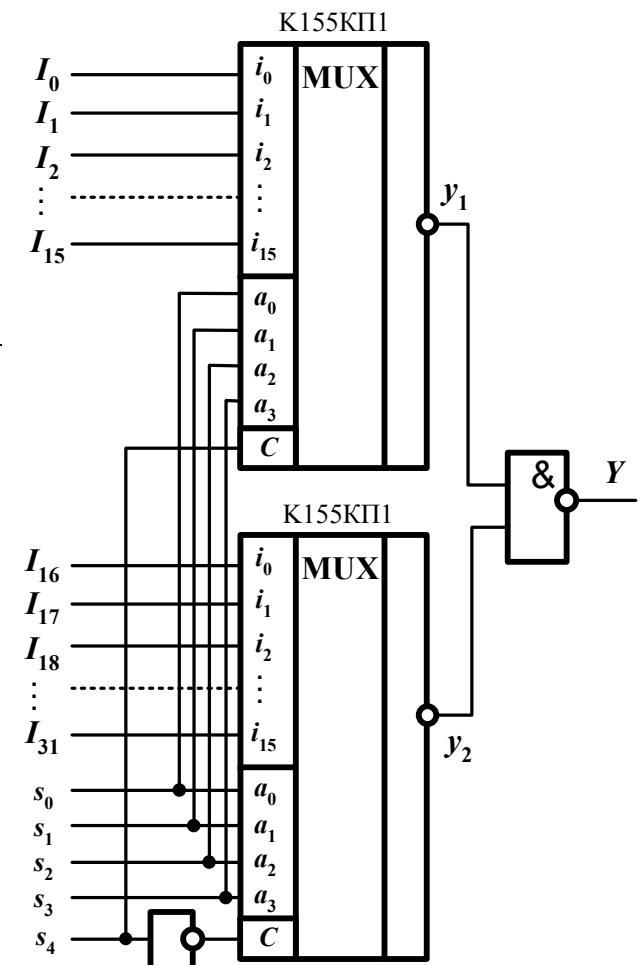
Можно выбирать оптимальный вариант с учетом используемой номенклатуры микросхем, минимизации их количества и т.п.

! Если $K = N^b$, пирамидальное наращивание позволяет реализовать MUX высокого ранга из одинаковых MUX низкого ранга.

Например, мультиплексор 64:1 можно построить из мультиплексоров 4:1 выстроенных в три уровня коммутации (16 в первом каскаде, 4 во втором каскаде и один в последнем).

✓ Дополнительный фактор выбора структуры наращивания – особенности реальных микросхем: двойные и счетверенные мультиплексоры с общими адресными входами, входы разрешения и т.п.

Пример: объединение 2-х MUX 8:1 в MUX 16:1 на основе микросхемы K155КП1. Вход разрешения + инверсный выход → схемы коммутации выходов 1 Ие + 1 «И-НЕ» (либо, 2 «И-НЕ»).



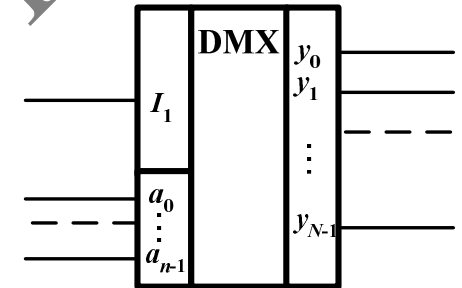
3.9. Демультимплексоры

✓ **Демультимплексор (распределитель)** в функциональном отношении противоположен мультиплексору.

- Один информационный вход и n адресных входов.
- $N = 2^n$ выходных сигналов.

Сигнал от информационного входа передается на один из выходов с управляемым выбором этого выхода.

$$y_j = \begin{cases} I, & \text{при } j = (a_{n-1}, \dots, a_0)_2 \\ 0, & \text{при } j \neq (a_{n-1}, \dots, a_0)_2 \end{cases}$$



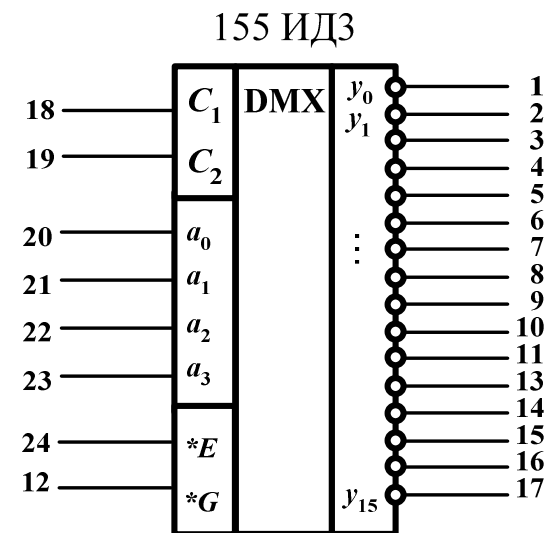
Производители предлагают широкую номенклатуру DMX микросхем (м.б. инверсия по входам/выходам, управляющие сигналы и т.п.).

Пример: ТТЛ: 155ИД1 – DMX 1:16. Инвертированные выходы + два независимых входа управления C_1, C_2 (E – питание, G – земля).

- Если $C_1 = C_2 = 0$, то на одном из выходов (номер задается значениями адресных входов) «0», а на всех остальных «1».
- Если на C_1 либо C_2 (либо оба входа) = «1», то все выходы = «1».

! Любой из входов управления можно использовать в качестве информационного входа.

Параметры: $i_{\text{вых}}^1 = 0.8 \text{ мА}$, $i_{\text{вых}}^0 = 16 \text{ мА}$, $i_{\text{вх}}^1 = 40 \text{ мкА}$, $i_{\text{вх}}^0 = 1.6 \text{ мА}$, $i_{\text{КЗ}} = 18\text{-}57 \text{ мА}$, $i_{\text{потр}} = 34\div 56 \text{ мА}$, задержки нарастания/спада по выходу при переключении адресного входа $24\div 36/22\div 33 \text{ нс}$, при переключении входа управления $20\div 30/18\div 27 \text{ нс}$ и т.д.



✓ Выпускаются DMX, содержащие сдвоенные и счетверенные демультиплексоры.

В классических отечественных ТТЛ сериях: микросхемы ИД4 (или ИД5) – сдвоенный DMX 1:4 с общими адресными входами и отдельными парами входов информации и блокировки (в одной половине инверсный информационный вход).

✓ Как и в случае с мультиплексорами, есть особенности микросхем демультиплексоров, основанных на технологии КМОП (будут указаны ниже).

! Демультиплексор по принципу строения и результату действия очень близок к одному из базовых видов дешифратора (п. 3.11) – **дешифратору** с преобразованием позиционного двоичного кода в унитарный.

Поэтому:

- Микросхемы-DMX могут работать в качестве такого дешифратора и наоборот.
- На практике эти два типа устройств часто не разделяют и могут называть их демультиплексоры-дешифраторы или относить такие микросхемы двойного назначения к мультиплексорам.
- В результате неоднозначной трактовки, микросхема-DMX может не иметь выделенного информационного входа (следует использовать вход/входы разрешения/блокировки).
- При описании микросхемы-DMX обычно указывается не коммутационное соотношение $1:N$, а соотношение количества адресных входов к количеству выходов $n:N$ (например, DMX 2:4 или 3:8), что более соответствует трактовке устройства как дешифратора.

✓ Демультиплексор (как и MUX) – эффективный инструмент генерации произвольной ЛФ. Однако в этой роли его так же удобнее рассматривать как демультиплексор-дешифратор. Поэтому генерация логической функции на базе DMX рассмотрена в п.3.11.

Строение демультиплексора

✓ Простейший демультиплексор DMX 1:2 – два выхода y_0 , y_1 и один адресный вход a .

ТИ в развернутом и сокращенном видах:

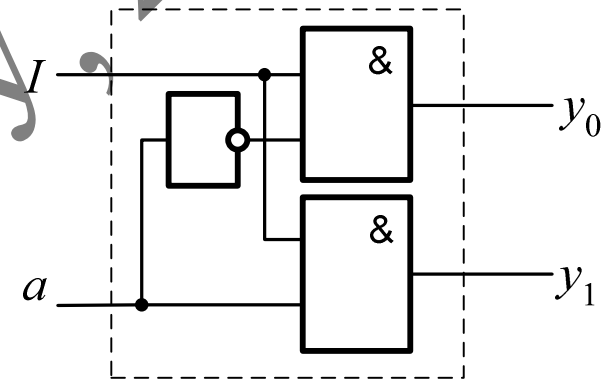
I	a	y_1	y_0
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	0

a	y_1	y_0
0	0	I
1	I	0

Выражения для выходных сигналов,
вариант логической схемы:

$$y_0 = I \cdot \bar{a},$$

$$y_1 = I \cdot a$$



✓ Демультиплексор DMX 1:4.

Сокращенная ТИ

a_1	a_0	y_3	y_2	y_1	y_0
0	0	0	0	0	I
0	1	0	0	I	0
1	0	0	I	0	0
1	1	I	0	0	0

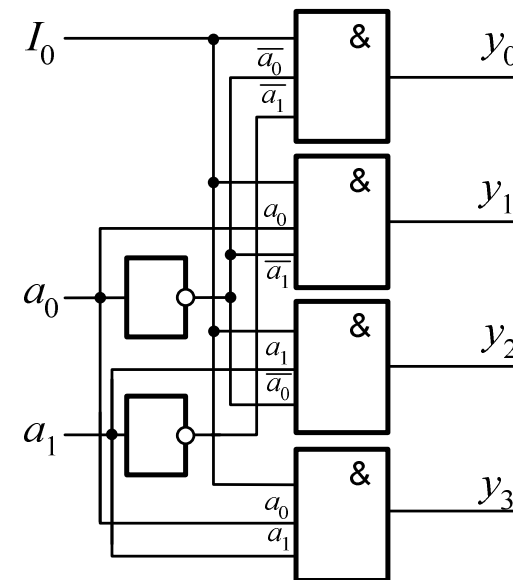
Выражения для
выходных сигналов

$$y_0 = I \cdot \bar{a}_0 \cdot \bar{a}_1$$

$$y_1 = I \cdot a_0 \cdot \bar{a}_1$$

$$y_2 = I \cdot \bar{a}_0 \cdot a_1$$

$$y_3 = I \cdot a_0 \cdot a_1$$



✓ Можно обобщить на произвольный демультиплексор 1:N.

- Сокращенная ТИ в правой части содержит значения I в диагональных ячейках и значения «0» в остальных.
- Выражение y_i задается произведением I на терм равный «1» для набора (a_{n-1}, \dots, a_0) , который в двоичном коде соответствует числу i .

При $n > 4$:

$$y_0 = I \cdot (\bar{a}_{n-1} \cdot \bar{a}_{n-2} \dots \bar{a}_1 \cdot \bar{a}_0); \quad y_1 = I \cdot (\bar{a}_{n-1} \cdot \bar{a}_{n-2} \dots \bar{a}_1 \cdot a_0);$$

$$y_2 = I \cdot (\bar{a}_{n-1} \cdot \bar{a}_{n-2} \dots a_1 \cdot \bar{a}_0); \quad y_3 = I \cdot (\bar{a}_{n-1} \cdot \bar{a}_{n-2} \dots a_1 \cdot a_0);$$

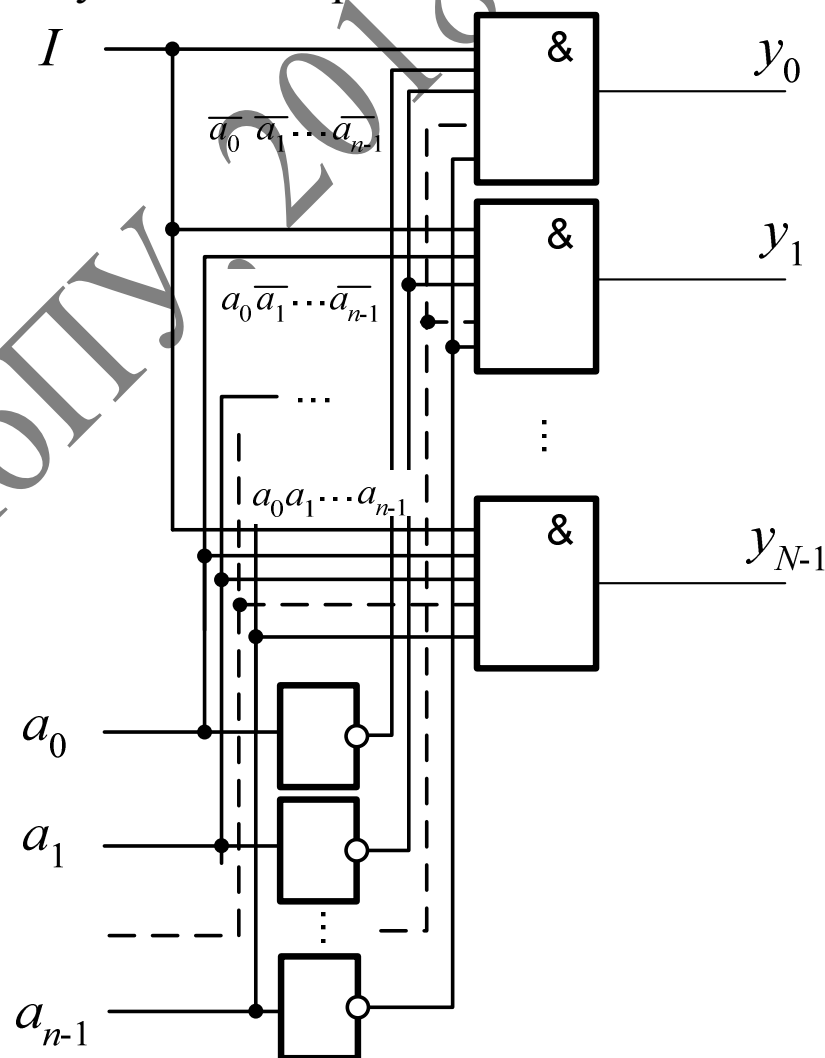
...

$$y_{N-2} = I \cdot (a_{n-1} \cdot a_{n-2} \dots a_1 \cdot \bar{a}_0); \quad y_{N-1} = I \cdot (a_{n-1} \cdot a_{n-2} \dots a_1 \cdot a_0).$$

При этом центральная часть ЛС DMX оказывается по сути такой же, как и для MUX:

N "И" (с $n+1$ входами) + n "НЕ" для инвертирования входов a . Выходы перемножителей – выходы DMX.

На вход j -го "И" подается: сигнал I , а также набор «регулирующих» сигналов – прямой/инверсный сигнал каждого адресного входа, как и в MUX. Для a_{n-1}, \dots, a_0 только для одного "И" с номером $J = (a_{n-1}, \dots, a_0)_2$ все «регулирующие» сигналы = «1», и $y_J = I$. Для остальных "И" хотя бы один из «регулирующих» входов = «0» и их выходные сигналы = «0».



Наращивание демультиплексоров

✓ С использованием нескольких DMX можно сформировать DMX более высокого ранга.

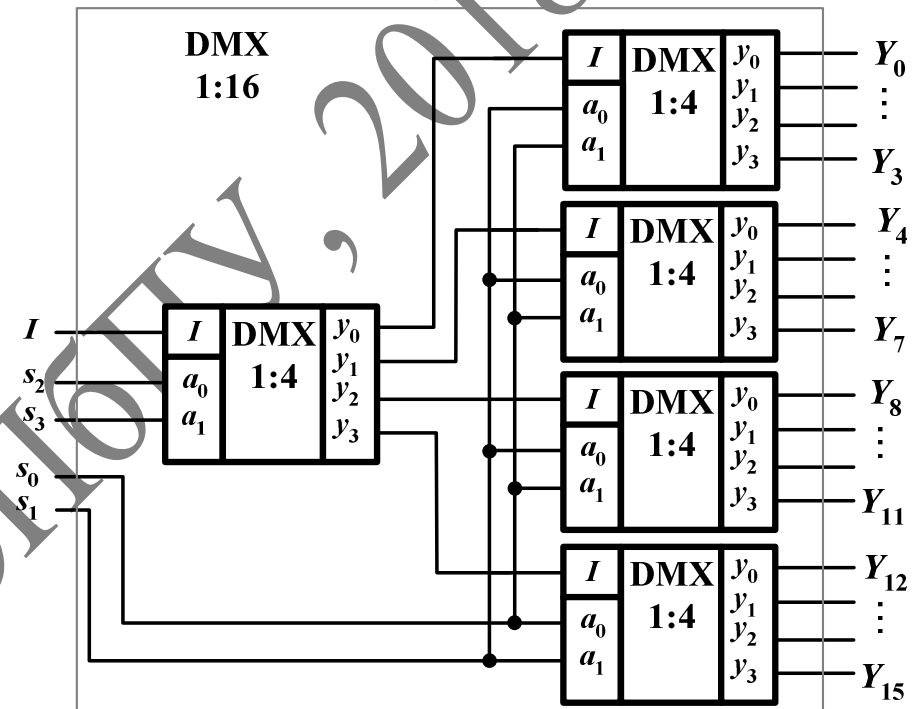
! Наращивание DMX подобно наращиванию MUX, только процесс коммутации происходит в обратном направлении – на каждом последующем уровне должно быть больше демультиплексоров, чем в предыдущем.

Пример: двухуровневое наращивание объединение пяти DMX 1:4 в DMX 1:16

✓ В общем случае при наращивании можно использовать многоуровневую пирамидальную структуру из K уровней.

- В первом уровне один DMX $1:N_1$ (n_1 адресных входов), во втором уровне N_1 DMX $N_2:1$ (n_2 адресных входов), в третьем – N_2 DMX $N_3:1$ (n_3 адресных входов) и т.д. Ранг созданного в итоге DMX $M:1$ будет определяться произведением количества демультиплексоров последнего уровня на их ранг, т. е. $M = N_K \cdot N_{K-1}$.

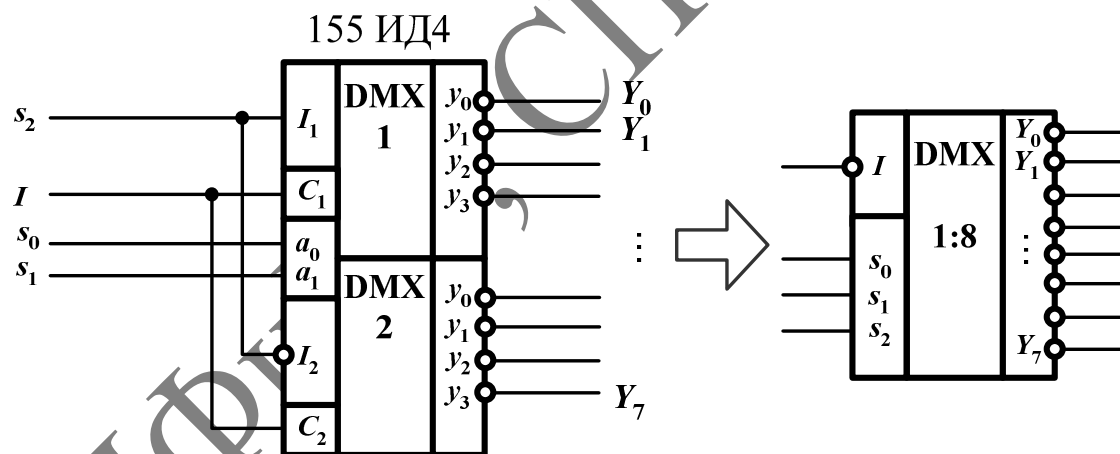
- Инф. сигнал → на вход DMX первого уровня, выходы DMX каждого уровня → на инф. входы DMX следующего уровня и т. д. Адресные сигналы распределяются между уровнями группами. Группа из n_1 старших разрядов адреса → на адресные входы первого DMX. Следующие n_2 адресных сигналов → на адресные входы DMX второго уровня и т.д. Последняя группа из n_K младших разрядов адреса → на адресные входы DMX последнего уровня.



✓ Особенности реальных DMX (инверсные выходы/входы, входы разрешения/блокировки) позволят упростить наращивание.

Пример. МС 155ИД4 – сдвоенный DMX 1:4 с инверсными выходами, адресные входы общие, один информационный вход инверсный. Есть два отдельных входа блокировки C (при $C = \text{«1»}$ все выходы соответствующего DMX = «1»).

! Простым соединением входов $I_{1,2}$ и входов $C_{1,2}$ можно объединить сдвоенный DMX 1:4 в DMX 1:8 с инверсным информационным входом.



Особенность КМОП MUX-DMX

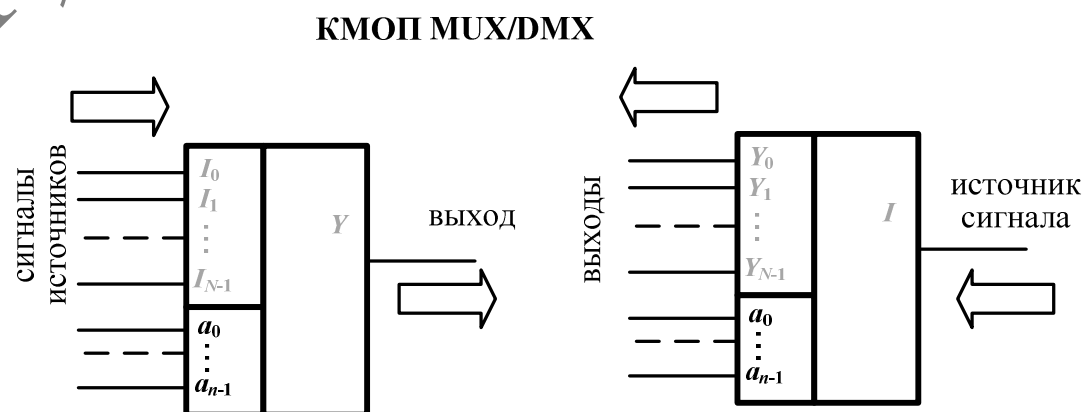
В биполярных транзисторах слабый ток базы влияет на протекание большого тока между коллектором и эмиттером (на проводимость). В полевых транзисторах на проводимость канала между стоком и истоком влияет слабый потенциал на затворе.

Специфика полевых транзисторов определяет эффективность использования симметричных КМОП каскадов т.н. электронных ключей на их основе (не путать с ключевым режимом работы транзистора), когда при "открывающем" потенциале между двумя выводами возникает высокая проводимость (ключ замкнут), а при "запирающем" потенциале – проводимость резко возрастает (ключ разомкнут).

При использовании таких каскадов в схемах MUX / DMX основной информационный вывод подсоединяется к коммутируемой группе выводов через цепи каскадов-ключей. Сигналы адресные входов формируют сигналы управления каскадов-ключей так, чтобы основой вывод был соединен проводящим каналом с требуемым из коммутируемых выводов.

В результате:

- ✓ КМОП MUX/DMUX это одна и та же микросхема-коммутатор, все зависит от направления подачи/съема сигналов.
- ✓ В определенном рабочем диапазоне напряжений по коммутируемым входам/выходам КМОП MUX/DMUX может работать как коммутатор аналоговых сигналов.



ВШПФикТ, СПбПУ, 2018